

# SM74HC595D

## 概述

SM74HC595D 是一款高速 CMOS 器件，引脚兼容低功耗肖特基 TTL (LSTTL) 系列。

SM74HC595D 是 8 位串行移位寄存器，带有存储寄存器和三态输出。移位寄存器和存储寄存器分别采用单独的时钟。

在 SCK 的上升沿，数据发生移位，而在 RCK 的上升沿，数据从每个寄存器中传送到存储寄存器。如果两个时钟信号被绑定到一起，则移位寄存器将会一直领先存储寄存器一个时钟脉冲。

移位寄存器带有一个串行输入 (SER) 端和一个串行标准输出 (Q7') 端，用于级联。SM74HC595D 还为移位寄存器的 8 个阶提供了异步的复位 (低有效)。存储寄存器带有 8 个三态总线驱动输出，当输出使能 (G) 端为低时，存储寄存器中的数据可被正常输出。

## 特性说明

- ◆ 采用 CMOS 工艺
- ◆ 工作电压范围：3.0V—5.0V
- ◆ 高速移位时钟频率  $F_{max} > 25\text{MHz}$
- ◆ 串行输出，可用于多个设备的级联
- ◆ 封装形式：SOP16
- ◆ ESD HBM > 4KV

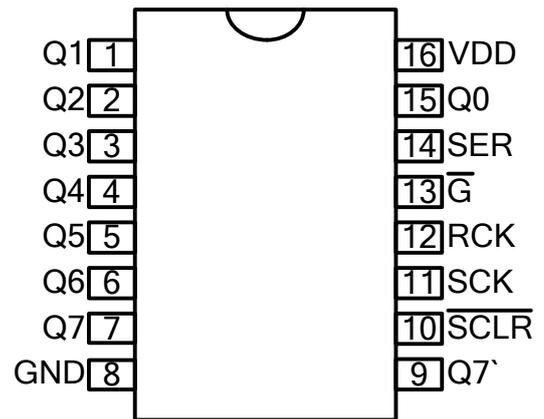
## 应用领域

- ◆ LED 单双色显示屏
- ◆ 机顶盒显示
- ◆ 小家电显示面板

## 封装信息

产品名称	封装形式	塑封体尺寸 (mm)	脚间距 (mm)
SM74HC595D	SOP16	10.0*3.94*1.45	1.27

## 管脚定义



## 管脚定义说明

符号	管脚名称	管脚号	说明
$\overline{\text{SCLR}}$	复位端	10	复位端
SCK	移位时钟	11	移位寄存器时钟，上升沿移位
RCK	锁存时钟	12	锁存寄存器时钟，上升沿存储
$\overline{\text{G}}$	使能端	13	输出使能端，为低电平时，正常输出；为高电平时，输出为高阻态
SER	数据输入	14	串行数据输入端
Q0—Q7	并行输出	15,1—7	并行数据输出端
Q7'	串行输出	9	串行数据输出端
GND	逻辑地	8	逻辑地
VDD	逻辑电源	16	逻辑电源

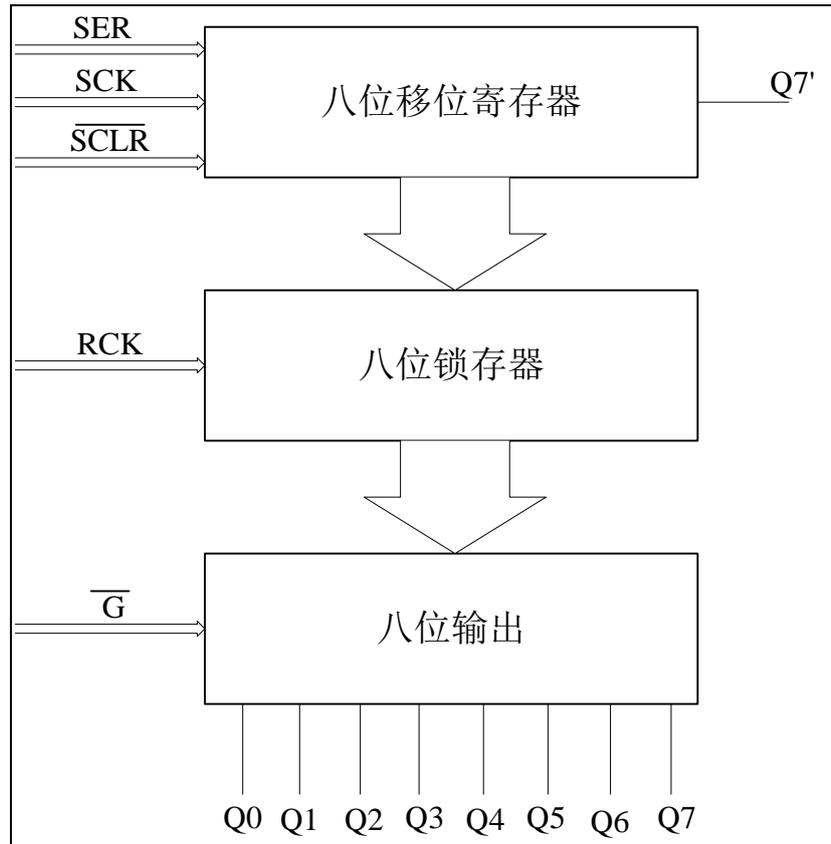
## 订购信息

订购型号	封装形式	包装方式		卷盘尺寸
		管装	编带	
SM74HC595D	SOP16	100000 颗/箱	4000 颗/盘	13 寸

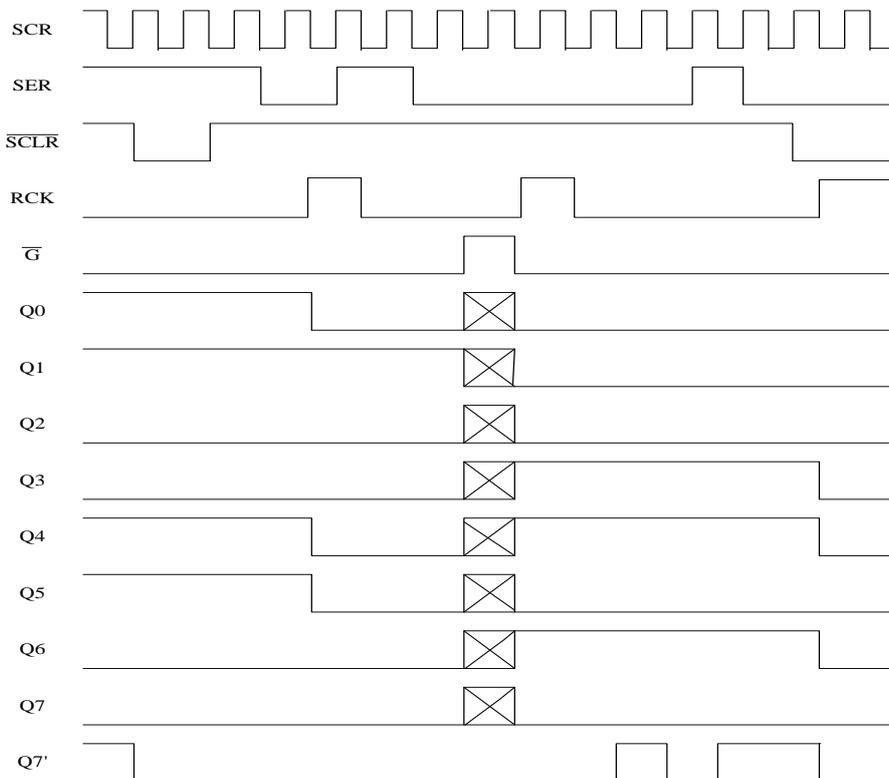
## 功能真值表

RCK	SCK	$\overline{\text{SCLR}}$	$\overline{\text{G}}$	功能
X	X	X	H	Q0---Q7 为高阻态
X	X	L	L	移位寄存器清“零”，Q7'=0
X	↑	H	L	移位寄存器存储，Q <sub>N</sub> =Q <sub>N-1</sub> ，Q0=SER
↑	X	H	L	存储移位寄存器的值

逻辑框图



工作时序图



## 直流电气参数

极限参数 (Ta = 25°C)

参数	符号	范围	单位
逻辑电源电压	VDD	-0.5—+7.0	V
逻辑输入电压	VI1	-0.5—VDD + 0.5	V
功率损耗	PD	<400	mW
工作结温范围	TJ	-40—+150	°C
储存温度	Tstg	-50—+150	°C
HBM 人体放电模式	VESD	>4	KV

注：表贴产品焊接最高峰值温度不能超过 260°C，温度曲线依据 J-STD-020 标准、参考工厂实际和锡膏商建议由工厂自行设定。

正常工作范围 (Ta = -20 ~ +80°C, VSS = 0 V)

参数	符号	最小	典型	最大	单位	测试条件
逻辑电源电压	VDD	3.0	5.0	5.5	V	—
高电平输入电压	VIH	3.5	-	-	V	VDD=5.0V
低电平输入电压	VIL	-	-	1.5	V	VDD=5.0V

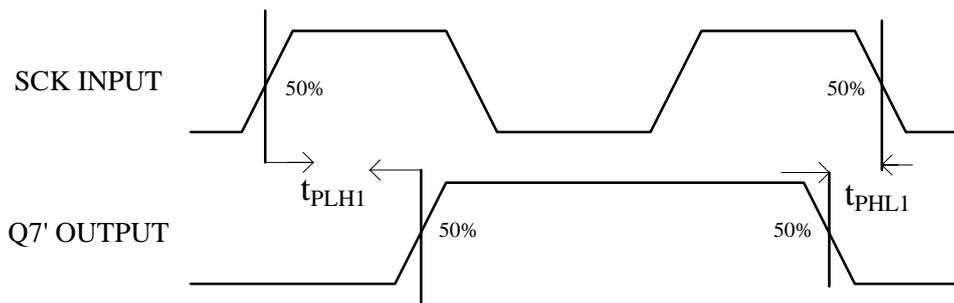
直流特性

参数	符号	最小	典型	最大	单位	测试条件
高电平输出电压	VOH	4.9	-	-	V	VDD=5.0V
低电平输出电压	VOL	-	-	0.1	V	VDD=5.0V
静态电流损耗	IDD	-	-	1	uA	VDD=6.0V
Q0—Q7 输出端口驱动电流	IOH	-63	-	-78	mA	VDD=5.0V
	IOL	63	-	75	mA	VDD=5.0V
Q7' 端口驱动电流	IOH	-28	-	-35	mA	VDD=5.0V
	IOL	20	-	28	mA	VDD=5.0V

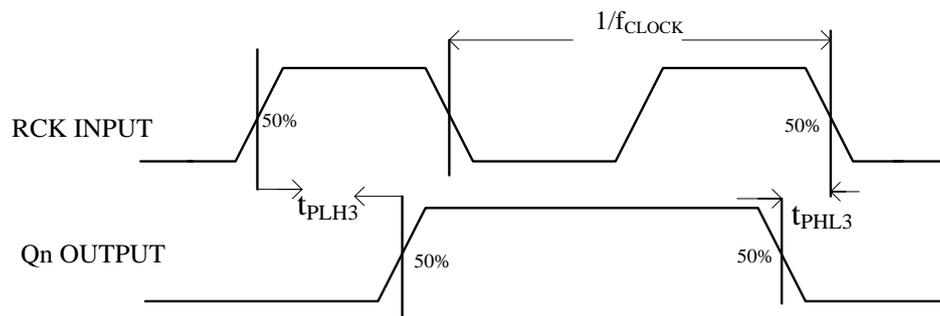
## 交流特性

参数	符号	最小	典型	最大	单位	测试条件
最大时钟频率	$f_{\text{CLOCK}}$	-	-	60	MHz	
SCK→Q7' 输出上升延时	$t_{\text{PLH1}}$	-	22	-	ns	VDD=5.0V, C <sub>L</sub> =15pF 时序图如图一、图二、 图三、图四 测试电路图如图五
SCK→Q7' 输出下降延时	$t_{\text{PHL1}}$	-	22	-	ns	
$\overline{\text{SCLR}}$ →Qn 输出上升延时	$t_{\text{PLH2}}$	-	21	-	ns	
$\overline{\text{SCLR}}$ →Qn 输出下降延时	$t_{\text{PHL2}}$	-	21	-	ns	
RCK→Qn 输出上升延时	$t_{\text{PLH3}}$	-	10	-	ns	
RCK→Qn 输出下降延时	$t_{\text{PHL3}}$	-	10	-	ns	
$\overline{\text{G}}$ →Qn 输出上升延时	$t_{\text{PLZ}}$	-	-	50	ns	
$\overline{\text{G}}$ →Qn 输出下降延时	$t_{\text{PHZ}}$	-	-	50	ns	

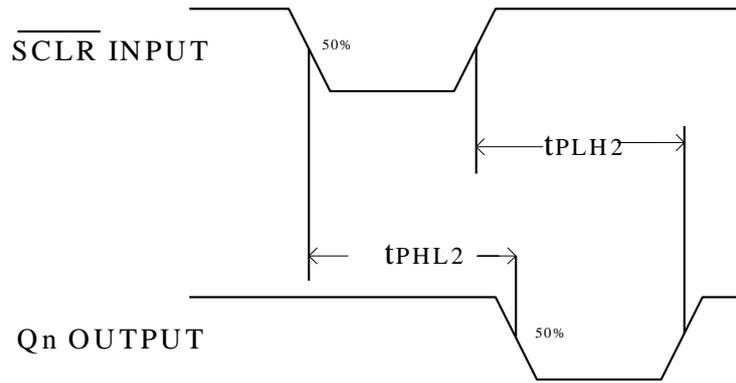
## 交流特性波形图



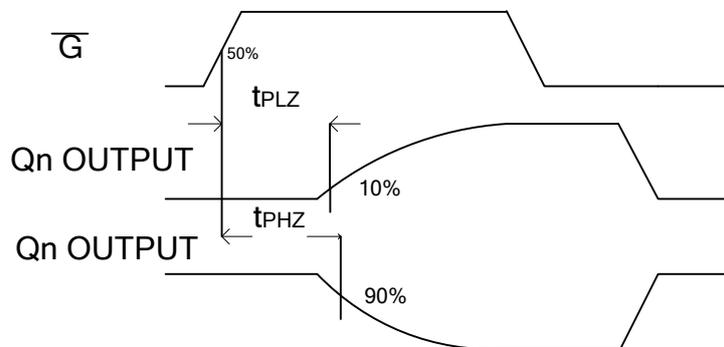
图一



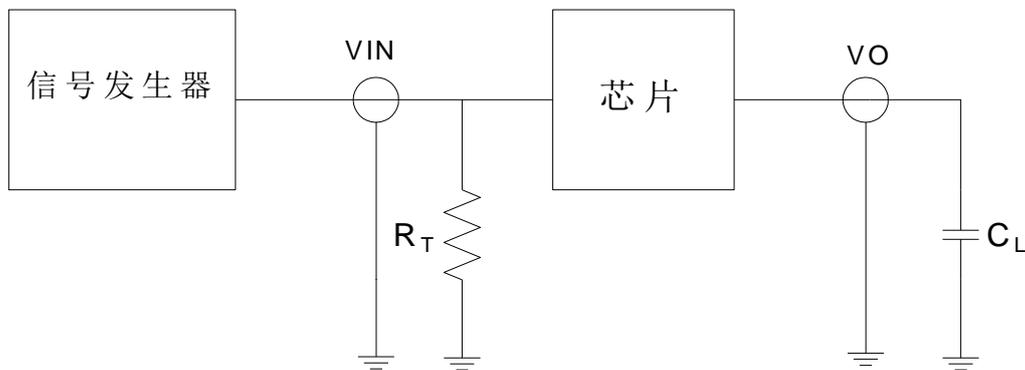
图二



图三



图四

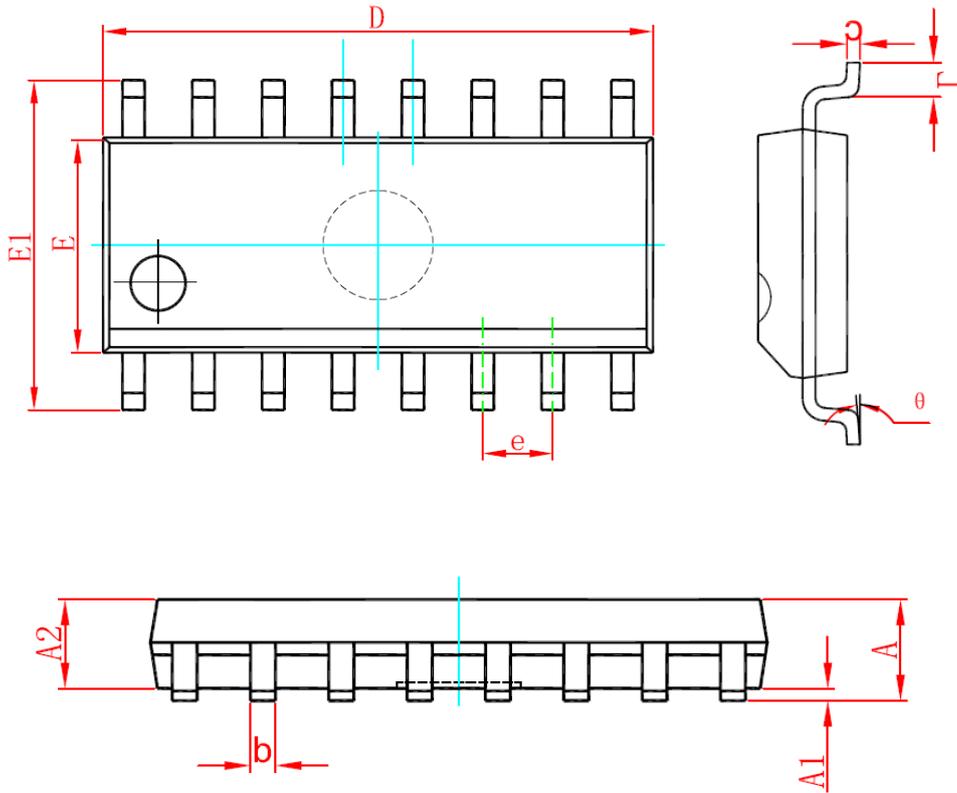


图五

注：RT 为信号发生器匹配电阻

封装形式

SOP16



Symbol	Min(mm)	Max(mm)
A	-	1.95
A1	-	0.25
A2	1.25	-
b	0.25	0.7
c	0.1	0.35
D	9.7	10.4
E	3.7	4.2
E1	5.7	6.4
e	1.27(BSC)	
L	0.2	1.5
$\theta$	0°	10°